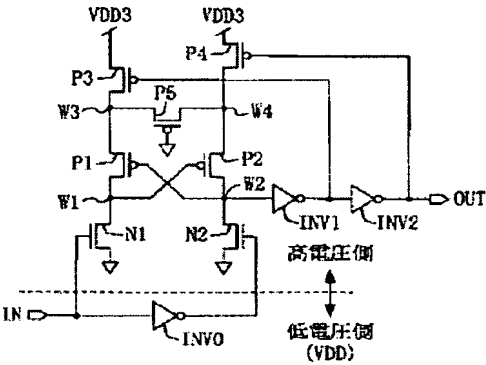


LEVEL SHIFT CIRCUIT

Patent number: JP2001298356
Publication date: 2001-10-26
Inventor: NOJIRI HISANORI
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- international: H03K17/16; H03K17/687; H03K19/0185; H03K17/16; H03K17/687; H03K19/0185; (IPC1-7): H03K19/0185; H03K17/16; H03K17/687
- european:
Application number: JP20010026959 20010202
Priority number(s): JP20010026959 20010202; JP20000032976 20000210

Report a data error here

Abstract of JP2001298356
PROBLEM TO BE SOLVED: To provide a level shift circuit in which a fast operation is performed without pulling up a node with a small latch and a layout area is small. **SOLUTION:** In this level shift circuit provided with a latch composed of two P type transistors, when the input signal of a terminal IN is changed, e.g. from an H level to an L level, a P type transistor P4 is off and a through- current made to flow from high voltage sources VDDs3 to the ground through a transistor P2 and an N type transistor N2 is interrupted even though the transistor N2 is turned on to lower the potential of a node W2. Meanwhile, even though an N type transistor N1 is turned off and a P type transistor P3 is also turned off to interrupt both ends of a node W1, the sources VDDs3 pulls up a node W1 through the transistor P4, a resistance P5 and a P type transistor P1. Then, the driving capacities of the transistors N1 and N2 are made small and delay time is shortened.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-298356
(P2001-298356A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl.⁷

識別記号

F I

データコート* (参考)

H 0 3 K 19/0185
17/16
17/687H 0 3 K 17/16
19/00
17/687L 5 J 0 5 5
1 0 1 E 5 J 0 5 6
Z

審査請求 有 請求項の数25 O L (全 21 頁)

(21) 出願番号 特願2001-26959 (P2001-26959)

(22) 出願日 平成13年2月2日 (2001. 2. 2)

(31) 優先権主張番号 特願2000-32976 (P2000-32976)

(32) 優先日 平成12年2月10日 (2000. 2. 10)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 野尻 尚紀

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 10007/931

弁理士 前田 弘 (外7名)

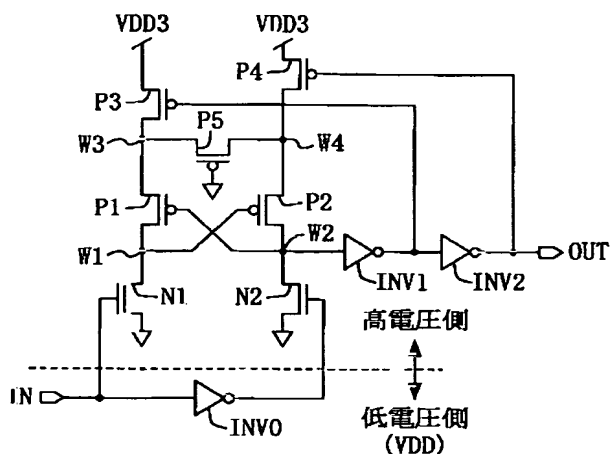
最終頁に続く

(54) 【発明の名称】 レベルシフト回路

(57) 【要約】

【課題】 小型ラッチでノードをプルアップすることがなく、高速動作し且つレイアウト面積が小さいレベルシフト回路を提供する。

【解決手段】 2個のP型トランジスタで構成されるラッチを備えたレベルシフト回路において、端子INの入力信号が例えばHからLレベルに変化した時、N型トランジスタN2がONしてノードW2の電位を低下させるが、P型トランジスタP4はOFF状態にあって、高電圧源VDD3からトランジスタP2、N2を経て接地に流れる貫通電流が遮断される。一方、N型トランジスタN1はOFF、P型トランジスタP3もOFFとなり、ノードW1の両端は遮断されるが、高電圧源VDD3がP型トランジスタP4、抵抗P5及びP型トランジスタP1を経てノードW1を高電圧にプルアップする。従って、N型トランジスタN1、N2の駆動容量が少なく、遅延時間が短縮される。



【特許請求の範囲】

【請求項1】 第1の電圧源を電源とする相補の入力信号が入力され、一端が接地され、他端が第1及び第2のノードに各々接続された第1及び第2のN型トランジスタと、

一端が第2の電圧源に接続され、他端が前記第1及び第2のノードに各々接続されたクロスカップル接続の第1及び第2のP型トランジスタと、

前記入力信号のレベル変化時に前記第2の電圧源と前記第1又は第2のP型トランジスタとの接続を断って貫通電流を遮断する電流遮断部と、

前記入力信号の定常時に、前記第2の電圧源を前記第1又は第2のノードに接続する抵抗とを備えたことを特徴とするレベルシフト回路。

【請求項2】 前記電流遮断部は、

前記第2の電圧源と前記第1のP型トランジスタとの間に配置された第3のP型トランジスタと、前記第2の電圧源と前記第2のP型トランジスタとの間に配置された第4のP型トランジスタとを備え、

前記抵抗は、前記第1のP型トランジスタと前記第3のP型トランジスタとの接続点、及び前記第2のP型トランジスタと前記第4のP型トランジスタとの接続点に接続されたトランジスタより成ることを特徴とする請求項1記載のレベルシフト回路。

【請求項3】 前記抵抗は、

前記第2の電圧源と前記第1及び第3のP型トランジスタ同士の接続点との間に配置される第1の抵抗と、

前記第2の電圧源と前記第2及び第4のP型トランジスタ同士の接続点との間に配置される第2の抵抗とから成ることを特徴とする請求項2記載のレベルシフト回路。

【請求項4】 前記第1の抵抗は、前記第2のノードの電位により制御されるP型トランジスタより成り、

前記第2の抵抗は、前記第2のノードの電位を反転した電位により制御されるP型トランジスタより成ることを特徴とする請求項3記載のレベルシフト回路。

【請求項5】 前記抵抗の抵抗値は、

前記第2の電圧源から自己の抵抗を経て流れる電流値がほぼ零値になるように高抵抗な値に設定されることを特徴とする請求項1、2又は3記載のレベルシフト回路。

【請求項6】 前記第2のノードには次段のインバータが接続され、

前記次段のインバータのゲート容量及び前記第1のP型トランジスタのゲート容量は、前記第2のノードの電位低下時に、この電位の低下が早く行われるように小さく設定されることを特徴とする前記1記載のレベルシフト回路。

【請求項7】 前記第2及び第4のP型トランジスタは、

前記第2のノードの電位上昇時に、この電位の上昇が早く行われるように大きなサイズに設定されることを特徴

とする請求項2記載のレベルシフト回路。

【請求項8】 前記第1の電圧源のシャットダウン時に、前記第2のノードを所定電位に固定する機能を持つことを特徴とする請求項1記載のレベルシフト回路。

【請求項9】 第1の電圧源を電源とする相補の信号が入力され、一端が接地され、他端が第1及び第2のノードに各々接続される第1及び第2のトランジスタと、前記第1及び第2のノードを第2の電圧源の電位にプリチャージするプリチャージ回路と、

前記第1及び第2のノードの電位低下を検出するレベル検出回路と、

前記プリチャージ回路を制御するプリチャージ制御回路とを備えたことを特徴とするレベルシフト回路。

【請求項10】 前記レベル検出回路は、

前記第1及び第2のノードに接続されるフリップフロップ回路により構成されることを特徴とする請求項9記載のレベルシフト回路。

【請求項11】 前記レベル検出回路は、

第1及び第2のノードの電位低下時にその電位低下を早く検出するようにスイッチングレベルが高く設定されることを特徴とする請求項9又は10記載のレベルシフト回路。

【請求項12】 前記レベル検出回路は、

前記第1及び第2のノードに接続されたゲートの容量が、第1及び第2のノードの電位低下時にこの電位低下が早く行われるように、小さく設定されることを特徴とする請求項9又は10記載のレベルシフト回路。

【請求項13】 前記プリチャージ回路は、

前記第2の電圧源を前記第1及び第2のノードに接続する供給回路と、

前記第1のノードと接地との間、並びに前記第2のノードと接地との間を遮断及び接続する断続回路とを備えることを特徴とする請求項9又は10記載のレベルシフト回路。

【請求項14】 前記供給回路は、

前記第2の電圧源と前記第1のノードとの間に配置された第1のP型トランジスタと、前記第2の電圧源と前記第2のノードとの間に配置された第2のP型トランジスタとから成り、

前記遮断回路は、

前記第1のノードと接地との間に配置された第3のN型トランジスタと、前記第2のノードと接地との間に配置された第4のN型トランジスタとから成ることを特徴とする請求項13記載のレベルシフト回路。

【請求項15】 前記プリチャージ制御回路は、

前記入力信号が変化しない定常時には、OFF動作している一方の第1又は第2のトランジスタに接続される一方の第1又は第2のノードを第2の電圧源の高電圧にプリチャージした状態で、前記第2の電圧源と前記プリチャージ状態の一方のノードとの接続を断ち、一方、

前記入力信号が変化したレベル変化時には、前記レベル検出回路のレベル検出に応じて、前記一方のノードと接地との接続を遮断すると共に前記第2の電圧源を前記一方のノードに接続してこの一方のノードを第2の電圧源の高電圧にプリチャージするように前記プリチャージ回路を制御することを特徴とする請求項9又は13記載のレベルシフト回路。

【請求項16】 前記プリチャージ制御回路は、前記入力信号が変化しない定常時には、OFF動作している一方の第1又は第2のトランジスタに対応する一方の第1又は第2のP型トランジスタをOFFすると共に対応する一方の第3又は第4のN型トランジスタをONし、一方、前記入力信号が変化したレベル変化時には、前記レベル検出回路のレベル検出に応じて、前記一方のP型トランジスタをONすると共に前記一方のN型トランジスタをOFFすることを特徴とする請求項14記載のレベルシフト回路。

【請求項17】 前記入力信号の定常時に、前記第2の電圧源を前記第1のノード又は第2のノードに接続する抵抗を備えたことを特徴とする請求項9又は10記載のレベルシフト回路。

【請求項18】 前記抵抗の抵抗値は、前記第2の電圧源から自己の抵抗を経て流れる電流値がほぼ零値になるように高抵抗な値に設定されることを特徴とする請求項17記載のレベルシフト回路。

【請求項19】 前記レベル検出回路は、前記第1の電圧源のシャットダウン時に、シャットダウン指令信号を受けて出力論理を固定する機能を持つことを特徴とする請求項9記載のレベルシフト回路。

【請求項20】 前記レベル検出回路は、前記第1の電圧源のシャットダウン時に、優先信号を受けて、固定する出力論理を任意に選択可能であることを特徴とする請求項19記載のレベルシフト回路。

【請求項21】 前記レベル検出回路は、クロック信号の変化時に前記第1又は第2のノードの電位低下を検出するエッジトリガー構成であることを特徴とする請求項9記載のレベルシフト回路。

【請求項22】 テストモード時に、前記入力信号に代えてテスト信号を受けて、そのテスト信号に応じた電位低下を前記レベル検出回路が検出する機能を持つことを特徴とする請求項9記載のレベルシフト回路。

【請求項23】 前記レベル検出回路は、リセット信号を受けて、出力論理をリセットする機能を持つことを特徴とする請求項9記載のレベルシフト回路。

【請求項24】 前記レベル検出回路は、セット信号を受けて、出力論理をセットする機能を持つことを特徴とする請求項9又は23記載のレベルシフト回路。

【請求項25】 前記入力信号に加えて制御信号を受けて、前記レベル検出回路の出力が3つの状態に変化する機能を持つことを特徴とする請求項9記載のレベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理レベルを変換するレベルシフト回路に関し、特に、信号変化時に生じる貫通電流を防止する構成を持つものに関する。

【0002】

【従来の技術】従来より、レベルシフト回路として、ラッチ型レベルシフト回路が知られている。このレベルシフト回路を具体的構成を図32に示す。同図のレベルシフト回路は、2個のN型トランジスタ51、52と、ゲートが互いに相手方のドレインに接続されるクロスカップル接続の2個のP型トランジスタ53、54と、第1及び第2のインバータ55、56を備えている。前記第1のインバータ55は入力端子INの入力信号を反転し、例えば1.5V等の低電圧源VDDで動作する。前記第1のインバータ55以外の素子は、例えば3.3V等の高電圧源VDD3で動作する高電圧側の素子であって、2個のN型トランジスタ51、52は、接地されると共に、互いに相補の信号、即ち、各々入力端子INの入力信号、及び第1のインバータ55からの入力信号の反転信号を受ける。前記2個のP型トランジスタ53、54は、ソースが高電圧源VDD3に接続され、ドレインが各々N型トランジスタ51、52のドレインに接続され、前記第2のインバータ56は、一方のN型トランジスタ52とP型トランジスタ54との接続点に接続され、その出力側は出力端子OUTに接続されている。

【0003】次に、前記レベルシフト回路の動作を説明する。静止状態では、例えば入力信号がH(VDD)レベル、その反転信号がL(VSS=0V)レベルのとき、N型トランジスタ51はON、N型トランジスタ52はOFF、P型トランジスタ53はOFF、P型トランジスタ54はON状態にある。また、この状態では、一方のN型トランジスタ51とP型トランジスタ53との接続点であるノードW1はL(VSS)レベル、他方のN型トランジスタ52とP型トランジスタ54との接続点であるノードW2は、H(VDD3)レベルにある。トランジスタ51と53、トランジスタ52と54は、各々相補的な関係にあるので、この静止状態では電流は流れていない。

【0004】その後、入力信号がL(VSS)レベルに変化し、動作時になると、図33に示すように、N型トランジスタ51がOFF、N型トランジスタ52がONする。従って、高電圧源VDD3からON状態のP型トランジスタ54及びN型トランジスタ52を経て貫通電流Iが流れ、ノードW2の電位はH(VDD3)レベルから低下し始める。ノードW2の電位がVDD3-Vt

p (V_{tp}はP型トランジスタ53のしきい値電圧)以下に低下すると、P型トランジスタ53がONし始め、ノードW1の電位は上昇して、P型トランジスタ54のドレイン電流は少なくなり、ノードW2の電位は一層低くなる。

【0005】最終的に、ノードW1の電位はH(VDD3)レベル、ノードW2の電位はL(0v)レベルになり、貫通電流は流れなくなって、第2のインバータ56により出力論理が反転し、次の入力信号の変化待ち状態となる。以上、入力信号がHレベルからLレベルに変化した場合について説明したが、その逆に変化した場合も同様である。

【0006】しかしながら、前記従来のレベルシフト回路では、動作時にP型トランジスタ54及びN型トランジスタ52を通じる貫通電流を流してノードW2の電位を変化させている関係上、貫通電流が流れる分、消費電力が増大するという欠点があった。

【0007】そこで、従来、例えば特開平10-190438号公報や特開平7-106946号公報に開示されるものでは、出力ノードW2の電位変化に応じて貫通電流を遮断する構成を持つレベルシフト回路を提案している。このレベルシフト回路の構成を図34に示す。同図のレベルシフト回路は、前記図32の構成に加えて、高電圧源VDD3と2個のP型トランジスタ53、54との間に、各々、P型トランジスタよりなる電流遮断トランジスタ57、58を配置すると共に、一方の電流遮断トランジスタ57のゲートには2個のインバータより成る遅延素子59、60を介してノードW1の電位が印可され、他方の電流遮断トランジスタ58のゲートには2個遅延素子61、62を介してノードW2の電位が印可される。更に、2つのノードW1、W2には小型ラッチ63が接続され、このラッチ63は2個のP型トランジスタ64、65を有し、これ等トランジスタは、ソースが高電圧源VDD3に接続され、ドレインが各々ノードW1、W2及び相手方のゲートに接続される。

【0008】前記従来の貫通電流遮断機能を持つレベルシフト回路では、例えば入力信号がHレベルの場合には、ノードW2の電位はH(VDD3)レベルにあって、電流遮断トランジスタ58がOFFしており、高電圧源VDD3とP型トランジスタ54との接続は遮断されている。また、ノードW1の電位はL(0v)レベルにあって、P型トランジスタ53及び電流遮断トランジスタ57はONしており、高電圧源VDD3とP型トランジスタ53とは接続されている。この状態から入力信号がLレベルに変化した動作時には、N型トランジスタ51のOFF動作によりノードW1と接地との接続が遮断されると共に、N型トランジスタ52のON動作によりノードW2が接地されて、ノードW2の電位は低下する。この電位の低下変化は電流遮断トランジスタ58に伝達されるが、その伝達は2個の遅延素子61、62に

より所定の遅延時間遅れる。その遅れ時間の間では、ノードW2の電位低下によりP型トランジスタ53がONして、高電圧源VDD3とノードW1とが接続され、ノードW1の電位が上昇し、P型トランジスタ54がOFFする。そして、その後に前記電流遮断トランジスタ58がONする。従って、この動作時にN型トランジスタ52がONしても、高電圧源VDD3からP型トランジスタ54及びN型トランジスタ52を通じた貫通電流が遮断されるので、消費電力が低減される。一方、前記ノードW1の電位上昇により、所定時間遅れて電流遮断トランジスタ57がOFF動作すると、ノードW1がハイインピーダンス状態になって出力が不定となることを防止するため、前記小型ラッチ63がノードW2の電位低下に応じて内部のP型トランジスタ62をONさせて、ノードW1に高電圧源VDD3を接続して、ノードW1をプルアップする。

【0009】

【発明が解決しようとする課題】しかしながら、前記従来の貫通電流遮断機能を持つレベルシフト回路では、小型ラッチ63は、低電圧であっても動作可能のように十分ゲート長Lを大きくし、トランジスタのON抵抗を大きくする必要があるが、N型トランジスタ51、52は一般的に動作電流が小さいため、このN型トランジスタ51、52の駆動容量が前記小型ラッチ61によって増大し、入力信号の論理レベル変化からレベルシフト回路の出力端子OUTの論理レベル変化までの遅延時間が長くなる欠点がある。

【0010】更に、前記従来の貫通電流遮断機能を持つレベルシフト回路では、N型トランジスタ51、52のドレインにラッチ63が接続されているため、出力端子OUTの論理レベルを変化させるためには、これ等N型トランジスタ51、52のドレインの電位、即ちノードW1、W2の電位を高電圧源VDD3の電位と接地電位とにフルスイングさせる必要があり、このことが遅延時間を長くする他の原因ともなっている。一方、遅延時間を短縮するようにN型トランジスタ51、52の電流能力を大きくすると、これ等N型トランジスタ51、52のサイズが大型化する。特に、低電圧源VDDが低電圧化すると、N型トランジスタ51、52を流れる電流値が小さくなるため、これ等N型トランジスタ51、52のサイズが一層大型化するため、面積の増大を招く欠点が生じる。

【0011】本発明はかかる点に鑑み、その目的は、前記従来のような小型ラッチを配置することなく、高速に動作して遅延時間が短い貫通電流遮断機能付きのレベルシフト回路を提供することにある。

【0012】

【課題を解決するための手段】以上の目的を達成するため、本発明では、電流遮断トランジスタとクロスカップル接続されたトランジスタとの接続点に抵抗を接続し、

この抵抗を介して前記接続点を高電圧にプルアップする構成を採用する。

【0013】また、以上の目的を達成するため、本発明では、レベルシフト回路としてクロスカップル接続された2個のトランジスタを有しない新規なレベルシフト回路を提供する。

【0014】即ち、請求項1記載の発明のレベルシフト回路は、第1の電圧源を電源とする相補の入力信号が入力され、一端が接地され、他端が第1及び第2のノードに各々接続された第1及び第2のN型トランジスタと、一端が第2の電圧源に接続され、他端が前記第1及び第2のノードに各々接続されたクロスカップル接続の第1及び第2のP型トランジスタと、前記入力信号のレベル変化時に前記第2の電圧源と前記第1又は第2のP型トランジスタとの接続を断って貫通電流を遮断する電流遮断部と、前記入力信号の定常時に、前記第2の電圧源を前記第1又は第2のノードに接続する抵抗とを備えたことを特徴とする。

【0015】請求項2記載の発明は、前記請求項1記載のレベルシフト回路において、前記電流遮断部は、前記第2の電圧源と前記第1のP型トランジスタとの間に配置された第3のP型トランジスタと、前記第2の電圧源と前記第2のP型トランジスタとの間に配置された第4のP型トランジスタとを備え、前記抵抗は、前記第1のP型トランジスタと前記第3のP型トランジスタとの接続点、及び前記第2のP型トランジスタと前記第4のP型トランジスタとの接続点に接続されたトランジスタより成ることを特徴とする。

【0016】請求項3記載の発明は、前記請求項1記載のレベルシフト回路において、前記抵抗は、前記第2の電圧源と前記第1及び第3のP型トランジスタ同士の接続点との間に配置される第1の抵抗と、前記第2の電圧源と前記第2及び第4のP型トランジスタ同士の接続点との間に配置される第2の抵抗とから成ることを特徴としている。

【0017】請求項4記載の発明は、前記請求項3記載のレベルシフト回路において、前記第1の抵抗は、前記第2のノードの電位により制御されるP型トランジスタより成り、前記第2の抵抗は、前記第2のノードの電位を反転した電位により制御されるP型トランジスタより成ることを特徴とする。

【0018】請求項5記載の発明は、前記請求項1、2又は3記載のレベルシフト回路において、前記抵抗の抵抗値は、前記第2の電圧源から自己の抵抗を経て流れる電流値がほぼ零値になるように高抵抗な値に設定されることを特徴とする。

【0019】請求項6記載の発明は、前記請求項1記載のレベルシフト回路において、前記第2のノードには次段のインバータが接続され、前記次段のインバータのゲート容量及び前記第1のP型トランジスタのゲート容量

は、前記第2のノードの電位低下時に、この電位の低下が早く行われるように小さく設定されることを特徴とする。

【0020】請求項7記載の発明は、前記請求項1記載のレベルシフト回路において、前記第2及び第4のP型トランジスタは、前記第2のノードの電位上昇時に、この電位の上昇が早く行われるように大きなサイズに設定されることを特徴とする。

【0021】請求項8記載の発明は、前記請求項1記載のレベルシフト回路において、前記第1の電圧源のシャットダウン時に、前記第2のノードを所定電位に固定する機能を持つことを特徴とする。

【0022】請求項9記載の発明のレベルシフト回路は、第1の電圧源を電源とする相補の信号が入力され、一端が接地され、他端が第1及び第2のノードに各々接続される第1及び第2のトランジスタと、前記第1及び第2のノードを第2の電圧源の電位にプリチャージするプリチャージ回路と、前記第1及び第2のノードの電位低下を検出するレベル検出回路と、前記プリチャージ回路を制御するプリチャージ制御回路とを備えたことを特徴とする。

【0023】請求項10記載の発明は、前記請求項9記載のレベルシフト回路において、前記レベル検出回路は、前記第1及び第2のノードに接続されるフリップフロップ回路により構成されることを特徴とする。

【0024】請求項11記載の発明は、前記請求項9又は10記載のレベルシフト回路において、前記レベル検出回路は、第1及び第2のノードの電位低下時にその電位低下を早く検出するようにスイッチングレベルが高く設定されることを特徴としている。

【0025】請求項12記載の発明は、前記請求項9又は10記載のレベルシフト回路において、前記レベル検出回路は、前記第1及び第2のノードに接続されたゲートの容量が、第1及び第2のノードの電位低下時にこの電位低下が早く行われるように、小さく設定されることを特徴とする。

【0026】請求項13記載の発明は、前記請求項9又は10記載のレベルシフト回路において、前記プリチャージ回路は、前記第2の電圧源を前記第1及び第2のノードに接続する供給回路と、前記第1のノードと接地との間、並びに前記第2のノードと接地との間を遮断及び接続する断続回路とを備えることを特徴とする。

【0027】請求項14記載の発明は、前記請求項13記載のレベルシフト回路において、前記供給回路は、前記第2の電圧源と前記第1のノードとの間に配置された第1のP型トランジスタと、前記第2の電圧源と前記第2のノードとの間に配置された第2のP型トランジスタとから成り、前記遮断回路は、前記第1のノードと接地との間に配置された第3のN型トランジスタと、前記第2のノードと接地との間に配置された第4のN型トラン

ジスタとから成ることを特徴とする。

【0028】請求項15記載の発明は、前記請求項9又は13記載のレベルシフト回路において、前記プリチャージ制御回路は、前記入力信号が変化しない定常時には、OFF動作している一方の第1又は第2のトランジスタに接続される一方の第1又は第2のノードを第2の電圧源の高電圧にプリチャージした状態で、前記第2の電圧源と前記プリチャージ状態の一方のノードとの接続を断ち、一方、前記入力信号が変化したレベル変化時には、前記レベル検出回路のレベル検出に応じて、前記一方のノードと接地との接続を遮断すると共に前記第2の電圧源を前記一方のノードに接続してこの一方のノードを第2の電圧源の高電圧にプリチャージするように前記プリチャージ回路を制御することを特徴とする。

【0029】請求項16記載の発明は、前記請求項14記載のレベルシフト回路において、前記プリチャージ制御回路は、前記入力信号が変化しない定常時には、OFF動作している一方の第1又は第2のトランジスタに対応する一方の第1又は第2のP型トランジスタをOFFすると共に対応する一方の第3又は第4のN型トランジスタをONし、一方、前記入力信号が変化したレベル変化時には、前記レベル検出回路のレベル検出に応じて、前記一方のP型トランジスタをONすると共に前記一方のN型トランジスタをOFFすることを特徴とする。

【0030】請求項17記載の発明は、前記請求項9又は10記載のレベルシフト回路において、前記入力信号の定常時に、前記第2の電圧源を前記第1のノード又は第2のノードに接続する抵抗を備えたことを特徴とする。

【0031】請求項18記載の発明は、前記請求項17記載のレベルシフト回路において、前記抵抗の抵抗値は、前記第2の電圧源から自己の抵抗を経て流れる電流値がほぼ零値になるように高抵抗な値に設定されることを特徴とする。

【0032】請求項19記載の発明は、前記請求項9記載のレベルシフト回路において、前記レベル検出回路は、前記第1の電圧源のシャットダウン時に、シャットダウン指令信号を受けて出力論理を固定する機能を持つことを特徴とする。

【0033】請求項20記載の発明は、前記請求項19記載のレベルシフト回路において、前記レベル検出回路は、前記第1の電圧源のシャットダウン時に、優先信号を受けて、固定する出力論理を任意に選択可能であることを特徴とする。

【0034】請求項21記載の発明は、前記請求項9記載のレベルシフト回路において、前記レベル検出回路は、クロック信号の変化時に前記第1又は第2のノードの電位低下を検出するエッジトリガー構成であることを特徴とする。

【0035】請求項22記載の発明は、前記請求項9記

載のレベルシフト回路において、テストモード時に、前記入力信号に代えてテスト信号を受けて、そのテスト信号に応じた電位低下を前記レベル検出回路が検出する機能を持つことを特徴としている。

【0036】請求項23記載の発明は、前記請求項9記載のレベルシフト回路において、前記レベル検出回路は、リセット信号を受けて、出力論理をリセットする機能を持つことを特徴とする。

【0037】請求項24記載の発明は、前記請求項9又は23記載のレベルシフト回路において、前記レベル検出回路は、セット信号を受けて、出力論理をセットする機能を持つことを特徴とする。

【0038】請求項25記載の発明は、前記請求項9記載のレベルシフト回路において、前記入力信号に加えて制御信号を受けて、前記レベル検出回路の出力が3つの状態に変化する機能を持つことを特徴とする。

【0039】以上により、請求項1ないし請求項8記載の発明では、入力信号のレベルが変化しない定常時には、第1又は第2のノードの両端が遮断される状況となっても、この第1又は第2のノードには抵抗を介して第2の電圧源が接続されてプルアップされるので、従来のようにプルアップ用の小型ラッチを配置する必要がない。従って、クロスカプル接続の2個のトランジスタ（ラッチ）の論理を変更する第1及び第2のN型トランジスタの駆動容量が減少するので、入力信号のレベル変化時には、第1又は第2のノードの電位低下が早まって、遅延時間が短縮され、レベルシフト回路は高速に動作する。しかも、従来のプルアップ用の抵抗は、小型ラッチに比して小さいので、レイアウト面積が小さくなる。

【0040】特に、請求項5、請求項6及び請求項7記載の発明では、第2のノードの電位低下時には、この電位低下が早く行われるので、より一層に遅延時間が短縮されて、レベルシフト回路の動作の一層の高速化が可能である。

【0041】また、請求項9ないし請求項25記載の発明では、第1及び第2のノードの電位低下を検出するレベル検出回路が設けられ、このレベル検出回路のスイッチングレベルが高く設定される。従って、これ等第1及び第2のノードの電位が前記レベル検出回路のスイッチングレベル以下に低下した段階になると、前記レベル検出回路がレベル検出を行って、出力論理が変化するので、従来のように第1及び第2のノードの電位を高電圧でフルスイングして初めて出力論理が変化するレベルシフト回路に比べて、低消費電力で且つ高速に動作する。

【0042】特に、請求項12記載の発明では、第1及び第2のノードの電位低下時には、これ等第1及び第2のノードに接続されたゲートから流れ込む電流が少なく、これ等ノードの電位低下が早く行われるので、遅延時間が短縮され、レベルシフト回路は高速に動作する。

【0043】

【発明の実施の形態】（第1の実施の形態）以下、本発明の第1の実施の形態のレベルシフト回路について図面を参照しながら説明する。

【0044】図1は本実施の形態のレベルシフト回路の具体的構成を示す図である。

【0045】同図において、INは信号の入力端子、INV0は前記入力端子INに入力された信号を反転するインバータであって、例えば1.5v等の低電圧源（第1の電圧源）VDDで動作する。図1のレベルシフト回路は、前記インバータINV0を除く他の素子は全て例えば3.3v等の高電圧源（第2の電圧源）VDD3で動作する高電圧側の素子である。

【0046】また、図1において、N1、N2は1対のN型トランジスタであって、そのソースは接地される。一方のN型トランジスタ（第1のN型トランジスタ）N1のゲートには前記入力端子INの入力信号が入力され、他方のN型トランジスタ（第2のN型トランジスタ）N2のゲートには前記インバータINV0の反転信号が入力される。P1、P2は1対のP型トランジスタであって、ゲートは互いに相手方のドレインにクロスカップル接続され、ドレインは各々前記N型トランジスタN1、N2のドレインに接続される。これ等一方のP型トランジスタ（第1のP型トランジスタ）P1と第1のN型トランジスタN1との接続点を第1のノードW1、他方のP型トランジスタ（第2のP型トランジスタ）P2とN型トランジスタN2との接続点を第2のノードW2とする。

【0047】更に、P3、P4は1対のP型トランジスタより成る電流遮断トランジスタ（電流遮断部）であって、ソースは高電圧源VDD3に接続され、ドレインは各々前記P型トランジスタP1、P2のソースに接続される。この一方の電流遮断トランジスタ（第3のP型トランジスタ）P3と第1のP型トランジスタP1との接続点を第3のノードW3、他方の電流遮断トランジスタ（第4のP型トランジスタ）P4と第2のP型トランジスタP2との接続点を第4のノードW4とする。前記一方の電流遮断トランジスタP3のゲートには、インバータINV1を介して前記第2のノードW2が接続され、他方の電流遮断トランジスタP4のゲートには、インバータINV1及びインバータINV2を介して前記第2のノードW2が接続される。インバータINV2の出力側には出力端子OUTが接続される。

【0048】加えて、P5は、ゲートが接地されたP型トランジスタより成る抵抗であって、その一端は前記第3のノードW3に接続され、他端は前記第4のノードW4に接続される。

【0049】以上のように構成されたレベルシフト回路について、以下、その動作を説明する。

【0050】先ず、入力端子INの信号の電位がH（V

DD）レベルにある定常時には、N型トランジスタN1はON、P型トランジスタP1はOFFしている。また、N型トランジスタN2はOFF、P型トランジスタP2はONしている。第1のノードW1は0v、第2のノードW2は高電圧VDD3の電位（3.3v）である。これ等の動作は既述した従来のラッチ型レベルシフト回路と同様である。更に、前記ノードW2の電位（3.3v）により、一方の電流遮断トランジスタP3はON、他方の電流遮断トランジスタP4はOFFしている。前記一方の電流遮断トランジスタP3のONにより、高電圧源VDD3と第4のノードW4とがトランジスタ（抵抗）P5を介して接続され、第4のノードW4が高電圧源VDD3の高電圧にプルアップされ、これに伴いON状態にあるP型トランジスタP2を介して第2のノードW2も高電圧源VDD3の高電圧にプルアップされる。従って、電流遮断トランジスタP4及びN型トランジスタN2が共にOFF状態にあることによって第2及び第4のノードW2、W4がハイインピーダンス状態となることが防止される。その結果、出力端子OUTの論理はH（VDD3）レベルに固定されている。

【0051】次に、入力信号がH（VDD）レベルからL（VSS）レベルに変化した場合には、N型トランジスタN2がONする。しかし、電流遮断トランジスタP4がOFFしているため、高電圧源VDD3からP型トランジスタP2及びN型トランジスタN2を経る貫通電流が流れることはない。

【0052】この入力信号の変化直後に流れる電流の様子を図2に示す。同図において、入力信号が変化した直後では、N型トランジスタN2がONするために、第2のノードW2には、P型トランジスタP1のゲート容量Cgp1をディスチャージする電流Igp1と、次段のインバータInv1のゲート容量Cginvをディスチャージする電流Iginv、及び高電圧源VDD3から電流遮断トランジスタP3、抵抗P5及びP型トランジスタP2を経て流れ込む電流Idpが流れる。一方、ノードW2からは、N型トランジスタN2を経て接地に流れる電流Idnが流れ出す。従って、

$$I_{ginv} + I_{gp1} = I_{dn} - I_{dp}$$

が成立する。ここで、貫通電流Idpが流れないようにトランジスタ（抵抗）P5の抵抗値は十分に大きな値に設定される。この設定は、この貫通電流が流れる経路中の電流遮断トランジスタP3及びP型トランジスタP2の抵抗値の設定と共同して行われる。この設定により前記式中の貫通電流Idpを無視して、第2のノードW2の電位を早く下げて遅延時間を短縮するためには、電流Idnを大きくし、電流Iginv及び電流Igp1を小さく設定するのが良い。即ち、P型トランジスタP1のゲート容量Cgp1、及び次段のインバータInv1のゲート容量Cginvを小さく設定することが有効である。

【0053】その後、一方のP型トランジスタP1がONし、他方のP型トランジスタP2OFFして、これ等より成るラッチ部の論理が逆転すると、インバータINV1、INV2を介した所定の遅延時間だけ遅れて、出力端子OUTがL(0V)レベルに反転すると共に、一方の電流遮断トランジスタP3がOFFし、他方の電流遮断トランジスタP4がONして、次の入力信号の入力変化待ち状態となる。ここで、電流遮断トランジスタP4がONしても、P型トランジスタP2が既にOFFしているので、高電圧源VDD3からこれ等2個のトランジスタP4、P2を経て貫通電流が流れることはない。更に、電流遮断トランジスタP3及びN型トランジスタN1が共にOFFしても、電流遮断トランジスタP4がONしているので、高電圧源VDD3と第3のノードW3とがトランジスタ(抵抗)P5を介して接続され、第4のノードW4が高電圧源VDD3の高電圧にプルアップされる。従って、ON状態にあるP型トランジスタP1を介して第1のノードW1も高電圧源VDD3の高電圧にプルアップされ、第1のノードW1がハイインピーダンス状態となることが防止される。

【0054】次に、入力信号がL(VSS)レベルからH(VDD)レベルに変化した場合には、N型トランジスタN1がONする。しかし、電流遮断トランジスタP3がOFFしているので、高電圧源VDD3からP型トランジスタP1及びN型トランジスタN1を経る貫通電流が流れることはない。

【0055】この入力信号の変化直後に流れる電流の様子を図3に示す。同図において、入力信号が変化した直後では、N型トランジスタN2がOFFするために、第2のノードW2からは、P型トランジスタP1のゲート容量 C_{gp1} をチャージする電流 I_{gp1} と、インバータINV1のゲート容量 C_{ginv} をチャージする電流 I_{ginv} とが流れ出し、第2のノードW2には、高電圧源VDD3から電流遮断トランジスタP4及びP型トランジスタP2を経て電流 I_{dp} が流れ込む。従って、

$$I_{ginv} + I_{gp1} = I_{dp}$$

が成立する。遅延時間を短縮するためには、電流 I_{dp} を大きくし、電流 I_{gp1} 及び電流 I_{ginv} を小さく設定するのが望ましい。即ち、電流遮断トランジスタP4及びP型トランジスタP2のサイズを大きくし、次段のインバータINV1のゲート容量を小さくすることが有効である。

【0056】以上のことから、2個のP型トランジスタP1、P2は、第2のノードW2の電位の上昇時間と下降時間とを一致させるための最適な値が存在する。また、電流遮断トランジスタP3、P4のサイズは、これ等P型トランジスタP1、P2のサイズよりも大きい方が、より一層遅延時間を短縮できる。

【0057】本実施の形態では、第3及び第4のノード

W3、W4に接続される抵抗P5を配置し、この抵抗P5により、第1及び第2のノードW1、W2のハイインピーダンス状態を防止するので、第1及び第2のノードW1、W2には従来のような小型ラッチを配置する必要がない。その結果、2個のN型トランジスタN1、N2は、各々、その駆動容量が減少するので、第2のノードW2の電位の上昇及び下降速度が速くなり、遅延時間が有効に短縮される。しかも、N型トランジスタN1、N2を小さなサイズに設計できること、及び従来の小型ラッチに代えて抵抗P5を配置するだけで良いので、レイアウト面積を小さくできる効果を奏する。

【0058】本実施の形態のレベルシフト回路の動作限界は、トランジスタ(抵抗)P5の抵抗値が非常に大きいとすると、

$$VDD \leq V_{tn}$$

(V_{tn} はN型トランジスタN1、N2のしきい値電圧である)となる。従って、設計マージンを大きくとることが可能である。

【0059】(変形例)図4、図5及び図6は第1の実施の形態の変形例を示す。

【0060】図4は、トランジスタ(抵抗)P5の配置位置の変形例を示す。前記第1の実施の形態では、一方のP型トランジスタ(例えばP4)がOFF状態の時には、他方のON状態のP型トランジスタP3はON状態にあることを利用して、このON状態のP型トランジスタP3を経て第2及び第4のノードW2、W4を高電圧源VDD3の高電圧にプルアップしたが、本変形例では、ノードW1、W3のプルアップ用の抵抗(第1の抵抗)P51と、ノードW2、W4のプルアップ用の抵抗(第2の抵抗)P52とに分け、これ等抵抗をP型トランジスタで構成すると共に、高電圧源VDD3に接続している。そして、P型トランジスタP3、P4が各々OFF状態のときにONするように、これ等トランジスタP3、P4を制御する信号を反転した信号(第2のノードW2の電位及びこの電位を反転した電位)を用いて前記P型トランジスタ(抵抗)P51、P52を制御するようにしたものである。これ等抵抗P51、P52の奏する機能は、前記第1の実施の形態の抵抗(トランジスタ)P5と同様であるので、その説明を省略する。

【0061】図5は、前記図4の変形例を更に変形したものである。即ち、図5のレベルシフト回路では、ノードプルアップ用の抵抗P51、P52を、P型トランジスタより成る抵抗P60を介して高電圧源VDD3に接続したものである。この変形例の機能は前記図4の変形例と同様である。

【0062】図6は、内部低電圧電源のシャットダウン時に出力論理を固定できる機能を持つレベルシフト回路を示す。図6のレベルシフト回路は、図1に示したレベルシフト回路を基礎として、更に、低電圧電源のシャットダウン指令信号を受ける入力端子SDと、P型トラン

ジスタP65と、N型トランジスタN66とが設けられている。前記P型トランジスタP65は、高電圧源VDD3と第2のノードW2とに接続され、ゲートには前記入力端子SDに入力されたシャットダウン指令信号（Lレベル）が入力される。また、前記N型トランジスタN66は、ドレインがN型トランジスタN1、N2のソースに接続され、ソースが接地され、ゲートには前記入力端子SDのシャットダウン指令信号が入力される。

【0063】従って、本変形例では、低電圧電源のシャットダウン指令時には、N型トランジスタ66をOFFさせて、第2のノードW2と接地との接続を遮断すると共に、P型トランジスタP65をONさせて、第2のノードW2を強制的に高電圧源VDD3に接続し、出力端子OUTの論理をH（VDD3）レベルに固定することができる。

【0064】（第2の実施の形態）以下、本発明の第2の実施の形態のレベルシフト回路を図7を参照しながら説明する。

【0065】図7は、本実施の形態のレベルシフト回路の全体構成を示す。本実施の形態は、前記第1の実施の形態のレベルシフト回路と比べると、レベル変換に、ゲートを相手方のドレインに接続する2個のトランジスタより成るラッチ構造を採用しない点に特徴を持つ。以下、詳述する。

【0066】図7において、INは入力端子、INV0は前記入力端子INに入力される信号を反転するインバータであって、低電圧源（第1の電圧源）（VDD）で動作する。図7のレベルシフト回路において、前記インバータINV0以外の素子は全て高電圧源（第2の電圧源）VDD3で動作する。

【0067】また、図7において、N1、N2は相互に相補信号を受ける1対のN型トランジスタであって、一方のN型トランジスタ（第1のトランジスタ）N1はゲートに前記入力端子INの信号をうけ、他方のN型トランジスタ（第2のトランジスタ）N2はゲートに前記インバータINV0からの反転信号を受ける。これ等N型トランジスタN1、N2のソースは接地され、ドレインは各々第1及び第2のノードW1、W2に接続される。従って、何れか一方のN型トランジスタN1又はN2のON時には、第1又は第2のノードW1、W2を接地して、第1又は第2ノードW1、W2の電位をL（0v）レベルに低下させる。

【0068】また、Bはプリチャージ回路であって、1対のP型トランジスタP3、P4で構成される供給回路40と、1対のN型トランジスタN3、N4で構成される断続回路50と、抵抗として動作するP型トランジスタP5とを備える。一方のP型トランジスタ（第1のP型トランジスタ）P3は、ソースが高電圧源VDD3に接続され、ドレインが第1のノードW1に接続される。他方のP型トランジスタ（第2のP型トランジスタ）P

4は、ソースが前記高電圧源VDD3に接続され、ドレインが第2のノードW2に接続される。何れか一方のP型トランジスタP3又はP4のON時に、高電圧源VDD3を第1又は第2のノードW1、W2に接続して、第1又は第2のノードW1、W2の電位を高電圧源VDD3の高電圧にプリチャージする。

【0069】また、前記プリチャージ回路Bにおいて、一方のN型トランジスタ（第3のN型トランジスタ）N3は、同図では第1のノードW1とN型トランジスタN1との間に配置され、他方のN型トランジスタ（第4のN型トランジスタ）N4は第2のノードW2とN型トランジスタN2との間に配置される。これ等N型トランジスタN3、N4は、前記P型トランジスタP3、P4によるプリチャージ時に、対応する第1又は第2のノードW1、W2が各々N型トランジスタN1、N2を経て接地に接続されることを防止する。更に、P型トランジスタP5は、前記2個のP型トランジスタP3、P4のドレイン（第1及び第2のノードW1、W2）に接続される。このP型トランジスタP5は、前記第1の実施の形態と同様に、高電圧源VDD3を第1又は第2のノードW1、W2に接続して、第1及び第2のノードW1、W2がハイインピーダンス状態にならないようにするために配置される。

【0070】更に、Aは制御回路であって、前記第1又は第2のノードW1、W2がL（0v）レベルに低下したことを検出すると共に、この検出後に第1又は第2のノードW1、W2をH（VDD3）レベルにプリチャージする機能を持つ。この制御回路Aの内部構成を図8に示す。

【0071】図8の制御回路Aは、フリップフロップ回路FFと、2個のインバータINV1、INV2を持つプリチャージ制御回路70とを有する。前記フリップフロップ回路（レベル検出回路）FFは、第1及び第2の2入力型NAND回路Nand1、Nand2を持つ。第1のNAND回路Nand1は、第1のノードW1の電位と、第2のNAND回路Nand2の出力信号とを受け、第2のNAND回路Nand2は、第2のノードW2の電位と、第1のNAND回路Nand1の出力信号とを受け、これ等第1及び第2のNand回路の出力がフリップフロップ回路FFの出力となる。従って、第1のノードW1がL（0v）レベルになった際には、第1のNAND回路Nand1の出力はH（VDD3）レベル、第2のNAND回路Nand2の出力はL（0v）レベルとなり、一方、第2のノードW2がL（0v）レベルになった際には、第2のNAND回路Nand2の出力がH（VDD3）レベル、第1のNAND回路Nand1の出力はL（0v）レベルとなる。

【0072】前記制御回路Aのプリチャージ制御回路70は、前記プリチャージ回路Bのプリチャージ動作を制御するものであって、一方のインバータINV1は、前

記フリップフロップ回路FFの第1のNAND回路Nand1の出力を受けて反転し、この反転信号を前記プリチャージ回路BのP型及びN型トランジスタP3、N3のゲートに出力する。他方のインバータINV2は、前記フリップフロップ回路FFの第2のNAND回路Nand2の出力を受けて反転し、この反転信号を前記プリチャージ回路BのP型及びN型トランジスタP4、N4のゲートに出力する。

【0073】次に、本実施の形態のレベルシフト回路の動作を説明する。

【0074】定常時、第1及び第2のノードW1、W2の電位は共にH(VDD3)レベルにある。入力信号がH(VDD3)レベルの場合には、N型トランジスタN1、N2は各々ON、OFFし、フリップフロップ回路FFの2つの出力(第1及び第2のNAND回路Nand1の出力)はH(VDD3)レベル、L(0v)レベルにあって、その論理を保持している。この時、N型トランジスタN3、N4は各々OFF、ONし、P型トランジスタP3、P4は各々ON、OFFしている。N型トランジスタN1、N3相互、及びN型トランジスタN2、N4相互は、共に相補的な論理である。

【0075】前記の状態において、例えば入力信号H(VDD)レベルからL(0v)レベルに変化した場合には、N型トランジスタN2がONする。この時、プリチャージ回路Bでは、N型トランジスタN4はON状態にあるが、P型トランジスタP4がOFF状態にあるので、高電圧源VDD3からこれ等3個のトランジスタP4、N4、N2を経て接地に貫通電流が流れることはない。この場合には、図9に示すような電流が流れる。即ち、入力信号が変化し直後は、N型トランジスタN2がONするので、第2のノードW2からは、N型トランジスタN4、N2を経て接地に流れる電流 I_{dn} が流れ出し、第2のノードW2には、フリップフロップ回路FF内の第2のNAND回路Nand2のゲート容量 C_{gnand2} をディスチャージする電流 I_{gnand2} と、P型トランジスタP3、P5を経る電流 I_{dp} とが流れ込む。従って、 $I_{gnand2} = I_{dn} - I_{dp}$ が成立する。ここで、貫通電流 I_{dp} が流れない、つまりP型トランジスタ(抵抗)P5の抵抗値が十分に大きいとすると、貫通電流 I_{dp} は無視できる。従って、第2のノードW2の電位を早く下げて遅延時間を短縮するためには、前記電流 I_{dn} を大きくし、電流 I_{gnand2} を小さく設定すると良い。具体的には、フリップフロップ回路FFのNAND回路Nand2のゲート容量 C_{gnand2} を小さく設定することが有効である。また、電流 I_{dp} は2個のトランジスタP3、P5の経て流れる電流であるので、この電流値を小さく抑えることは容易である。

【0076】その後、第2のノードW2の電位の低下が進行して、フリップフロップ回路FFの論理が逆転し、

NAND回路Nand2の出力がH(VDD3)レベルに、NAND回路Nand1の出力がL(0v)レベルに反転すると、N型トランジスタN4がOFFすると共にP型トランジスタP4がONするので、第2のノードW2は高電圧源VDD3によりH(VDD3)レベルまでプリチャージされる。このプリチャージ動作はP型トランジスタP4により行われるので、高速である。一方、P型トランジスタP3がOFFして高電圧源VDD3から第1のノードW1へのプリチャージを停止すると共に、N型トランジスタN3がONして第1のノードW1をOFF状態のN型トランジスタN1に接続して、次の入力信号の変化待ち状態となる。この状態では、高電圧源VDD3の高電圧がON状態のP型トランジスタP4、抵抗P5を経て第1のノードW1に印可されるので、第1のノードW1の電位はH(VDD3)レベルとなり、P型トランジスタP3及びN型トランジスタN1のOFFに伴う第1のノードW1のハイインピーダンス状態が防止される。

【0077】入力信号がL(0v)レベルからH(VDD)レベルに変化した場合の動作も、既述の動作と同様であるので、その説明を省略する。

【0078】ここに、フリップフロップ回路FFの2個のNAND回路Nand1、Nand2のスイッチングレベルは高く設定される。従って、N型トランジスタN1、N2のON時には、対応する第1又は第2のノードW1、W2の電位をH(VDD3)レベルからL(0v)レベルにフルスイングする必要がないので、フルスイングする必要がある従来のレベルシフト回路と比べて、より一層高速で低消費電力な動作が可能である。

【0079】また、N型トランジスタN1、N2は、各々、フリップフロップ回路FFの対応するNAND回路Nand1、Nand2のゲート容量のみを駆動するだけで良いので、これ等トランジスタN1、N2を小さなサイズに抑えることが可能である。従って、レイアウト面積を小さく抑えることが可能である。

【0080】本実施の形態のレベルシフト回路の動作限界は、P型トランジスタ(抵抗)P5の抵抗値が非常に大きいとすると、 $V_{DD} \geq V_{tn}$

であるので、設計マージンを大きくとることが可能である。

【0081】(第1の変形例)図10及び図11は前記第2の実施の形態の第1の変形例を示す。図10のレベルシフト回路では、制御回路Aを少ない個数のトランジスタで構成したものである。即ち、前記図8のレベルシフト回路と比較して判るように、2個のインバータINV1、INV2を省略して、NAND回路Nand2の出力でもって一方のP型及びN型トランジスタP3、N3を制御し、NAND回路Nand1の出力でもって他方のP型及びN型トランジスタP4、N4を制御したも

のである。従って、図10のレベルシフト回路は、少ないトランジスタの個数で図8のレベルシフト回路と同一の動作を行うことができる。

【0082】また、図11のレベルシフト回路では、フリップフロップ回路を2個のNOR回路Nor1、Nor2で構成すると共に、これ等NOR回路の前段に各々インバータINV10、INV11を配置したものである。また、図10のレベルシフト回路と同様に、プリチャージ制御回路70の2個のインバータINV1、INV2を省略している。従って、図11のレベルシフト回路では、図8のレベルシフト回路と同一の動作が行われると共に、2個のインバータINV10、INV11の存在により、2個のNOR回路Nor1、Nor2の駆動容量が減少して、フリップフロップ回路の動作速度が高くなる。

【0083】(第2の変形例) 図12～図16は、第2の実施の形態の第2の変形例を示す。図12のレベルシフト回路では、低電圧源VDDがシャットダウンされた場合に、フリップフロップ回路の論理をそのシャットダウン前の論理に固定する機能が付加される。具体的には、端子SDにシャットダウン指令信号(H(VDD3)レベル)を受けた際には、2個のNOR回路Nor3、Nor4により、プリチャージ回路Bを動作させて第1及び第2のノードW1、W2を共にH(VDD3)レベルに固定して、フリップフロップ回路の2個のNAND回路Nand1、Nand2の出力を固定するものである。

【0084】図13のレベルシフト回路も同様に、低電圧源VDDがシャットダウンされた場合に、フリップフロップ回路の論理をそのシャットダウン前の論理に固定する機能が付加される。図12のレベルシフト回路と相違する点は、フリップフロップ回路が2個のNOR回路Nor1、Nor2で構成される点と、端子SDにシャットダウン指令信号(H(VDD3)レベル)を受けた際には、2個のNOR回路Nor5、Nor6により、第1及び第2のノードW1、W2のレベルに拘わらず、前記フリップフロップ回路の2個のNOR回路Nor1、Nor2の出力を低電圧源のシャットダウン前の論理に固定するようにしたものである。更に、図13のレベルシフト回路では、シャットダウン指令信号(H(VDD3)レベル)により、P型トランジスタ(抵抗)P5がOFF制御される。これは、例えばP型トランジスタP3及びN型トランジスタN4、N2がONの状態でこれ等トランジスタとP型トランジスタP5とを経た貫通電流が流れることを防止するためである。

【0085】図14のレベルシフト回路では、低電圧源VDDのシャットダウン時には、フリップフロップ回路の論理を強制的に、NAND回路Nand1ではL(0v)レベルに、NAND回路Nand2ではH(VDD3)レベルに固定するものである。即ち、図14のレベ

ルシフト回路は、図12のレベルシフト回路に更にインバータINV12を付加し、端子SDに入力されたシャットダウン信号(H(VDD3)レベル)をこのインバータINV12で反転し、この反転信号をフリップフロップ回路のNAND回路Nand2に入力して、NAND回路Nand2の出力をH(VDD3)レベルに固定するものである。前記シャットダウン信号はNOR回路Nor3、Nor4を介してP型トランジスタP3及びN型トランジスタN3並びにP型トランジスタP4及びN型トランジスタN4に与えられ、第1及び第2のノードW1、W2の電位はH(VDD3)レベルに固定される。

【0086】図15のレベルシフト回路は、図14のレベルシフト回路のフリップフロップ回路を2個のNOR回路Nor1、Nor2及び2個のインバータINV10、INV11により構成し、更にインバータINV12を省略してシャットダウン信号を直接NOR回路Nor2に入力した構成を持つ。本レベルシフト回路も図14のレベルシフト回路と同様の機能を持つ。

【0087】図16のレベルシフト回路は、前記図14及び図15のレベルシフト回路と同一の機能を他の構成で奏するよう構成したものである。即ち、フリップフロップ回路を構成する2個のNAND回路Nand1、Nand2の前段に、各々、インバータINV12及びNOR回路Nor5、インバータINV13及びINV14を配置し、前記NOR回路Nor5に端子SDからのシャットダウン信号を入力したものである。

【0088】(第3の変形例) 図17及び図18は第2の実施の形態の第3の変形例を示す。これ等は低電圧源VDDのシャットダウン時にレベルシフト回路の出力論理を任意に切換え可能とする機能を持つ。図17のレベルシフト回路では、図16の構成を基本として、図16のレベルシフト回路のインバータINV14に代えてNAND回路Nand3を配置すると共に、他のNAND回路Nand4を配置し、更に優先信号を受ける端子PRを設けている。前記NAND回路Nand4は、端子SDからのシャットダウン信号(H(VDD3)レベル)と、端子PRからの優先信号とを受け、その出力は前記NAND回路Nand3に入力される。

【0089】従って、図17のレベルシフト回路では、シャットダウン信号の入力時に、端子PRへの優先信号をH(VDD3)レベルとL(0v)レベルとに変更することにより、NAND回路Nand3の出力をHレベルとLレベルとに切換えて、フリップフロップ回路のNAND回路Nand2の論理をH(VDD3)レベルとL(0v)レベルとに切換え可能としている。尚、本レベルシフト回路では、フリップフロップ回路の他のNAND回路Nand1は、常にH(VDD3)レベルに固定される。

【0090】図18のレベルシフト回路では、図17の

レベルシフト回路を改良し、フリップフロップ回路の他のNAND回路Nand1をも優先信号に応じてH(VDD3)レベルとL(0v)レベルとに切換え可能としたものである。具体的には、インバータINV15と、2個のNAND回路Nand5、Nand6とが別途配置される。一方のNAND回路Nand5には、端子PRからの優先信号が前記インバータINV15を介して入力されると共に、端子SDからのシャットダウン信号(H(VDD3)レベル)が入力される。このNAND回路Nand5の出力は他のNAND回路Nand6に入力される。

【0091】従って、このレベルシフト回路では、端子PRの優先信号をH(VDD3)レベルとL(0v)レベルとに変更することにより、NAND回路Nand5、Nand6の出力論理を切換えて、フリップフロップ回路のNAND回路Nand1の出力論理をもH(VDD3)レベルとL(0v)レベルとに切換え可能とすることができる。

【0092】(第4の変形例)図19～図21は第2の実施の形態の第4の変形例を示す。これ等はエッジトリガー形式のレベルシフト回路である。

【0093】図19のレベルシフト回路では、クロック信号CLKと第1のノードW1の電位を受ける第1のフリップフロップ回路FF1と、前記クロック信号CLKと第2のノードW2の電位を受ける第2のフリップフロップ回路FF2と、これ等フリップフロップ回路FF1、FF2の出力を受ける第3のフリップフロップ回路FF3とを備える。

【0094】図19のレベルシフト回路では、クロック信号CLKがLレベルの時、第1及び第2のフリップフロップ回路FF1、FF2はリセット状態にあって、プリチャージ回路Bは、NAND回路Nand7及びインバータINV15により、第1及び第2のノードW1、W2を高電圧源VDD3の高電圧にプリチャージしている。また、第3のフリップフロップ回路FF3はレベルの保持状態にある。その後、クロック信号がHレベルに遷移すると、前記NAND回路Nand7及びインバータINV15により、2個のP型トランジスタP3、P4がOFFして前記プリチャージが停止すると共に、2個のN型トランジスタN3、N4がONして、端子INの入力信号のレベルに応じて第1又は第2のノードW1、W2がL(0v)レベルに低下し、これが第1又は第2のフリップフロップ回路FF1、FF2に取り込まれ、フリップフロップ回路FF3の論理がセットされる。この取り込みが完了すると、前記NAND回路Nand7及びインバータINV15により、前記プリチャージ回路Bが再び第1及び第2のノードW1、W2を高電圧源VDD3の高電圧にプリチャージする。

【0095】図20は、図19のレベルシフト回路を改良したものであり、図19のレベルシフト回路の2個の

N型トランジスタN3、N4を1個のN型トランジスタN5で共用したものである。

【0096】図21のレベルシフト回路は、前記図20のレベルシフト回路の一部を変更したものである。即ち、第1及び第2のノードW1、W2とN型トランジスタN3、N4との間に他のN型トランジスタN7、N8を配置し、これ等N型トランジスタをクロック信号CLKにより制御することにより、クロック信号CLKのHレベルへの立上り時には、これ等N型トランジスタN7、N8をONさせて、端子INの入力信号に応じて第1又は第2のノードW1、W2の論理レベルを変化させるものである。

【0097】(第5の変形例)図22及び図23は、図21のエッジトリガー形式のレベルシフト回路に更にテストモード機能を付加したレベルシフト回路を示す。

【0098】図22のレベルシフト回路は、テスト時には、端子NTに入力されるテストモード信号(Lレベル)により、2個のN型トランジスタN10、N11をOFFして、通常時の入力信号(入力端子INの入力信号)に応じて動作する2個のN型トランジスタN1、N2をP型トランジスタP3、P4から切り離すと共に、前記テストモード信号をインバータINV16で反転した信号により、テストモード用の2個のN型トランジスタN12、N13をONして、端子INTに入力されるテスト用信号及びそのインバータINV17による反転信号に応じて動作する2個のN型トランジスタN14、N15を前記P型トランジスタP3、P4に接続して、テストモード時には、端子INTのテスト信号により第1及び第2のノードW1、W2の論理レベルを変化させるようにしたものである。

【0099】図23のレベルシフト回路は、図22のレベルシフト回路を改良したものである。即ち、通常用の2個のN型トランジスタN1、N2を接地するN型トランジスタN5と同様に、テストモード用の2個のN型トランジスタN14、N15を接地するN型トランジスタN16を設け、端子NTに入力されるテストモード信号(Lレベル)により、NAND回路Nand8及びNOR回路Nor6の出力を制御して、通常時には通常時用のN型トランジスタN5をプリチャージ制御回路70のNAND回路Nand8の出力に応じてON、OFF制御する一方、テストモード時にはテストモード時用のN型トランジスタN16をプリチャージ制御回路70のNOR回路Nor6の出力に応じてON、OFF制御するようにしたものである。

【0100】(第6の変形例)図24及び図25は第2の実施の形態の第6の変形例を示す。

【0101】図24のレベルシフト回路は、図20のエッジトリガー形式のレベルシフト回路に更にリセット機能を付加したものである。

【0102】即ち、図24のレベルシフト回路では、リ

セット端子Rに入力されるリセット信号をインバータINV18を介してフリップフロップ回路FF3の一方のNOR回路Nor7に出力して、出力論理を固定すると共に、前記リセット信号をNAND回路Nand9に出力して、プリチャージ回路Bにより第1及び第2のノードW1、W2を高電圧源VDD3の高電圧にプリチャージするように構成したものである。

【0103】また、図25のレベルシフト回路は、図24のレベルシフト回路に更にセット機能を付加したものである。即ち、図25のレベルシフト回路では、セット端子Sに入力されるセット信号をインバータINV19を介してフリップフロップ回路FFの他方のNOR回路Nor8に出力して、出力論理を固定すると共に、前記セット信号を前記NAND回路Nand9に出力して、プリチャージ回路Bにより第1及び第2のノードW1、W2を高電圧源VDD3の高電圧にプリチャージするように構成したものである。

【0104】(第7の変形例) 図26は第2の実施の形態の第7の変形例を示す。同図のレベルシフト回路は、トライステートのレベルシフト回路を構成する。

【0105】即ち、図26のレベルシフト回路は、出力端子OUT1、OUT2のレベルの組み合わせとして、「H、L」、「L、H」に加えて「H、H」の状態を作成する。具体的には、一对のN型トランジスタN1、N2に対応して更に1個のN型トランジスタN17を設け、一对のP型トランジスタP3、P4に対応して更に1個のP型トランジスタP6を設け、更に一对のN型トランジスタN3、N4に対応して更に1個のN型トランジスタN18を設ける。更に、P型トランジスタ(抵抗)P5に対応してP型トランジスタ(抵抗)P7を設ける。

【0106】そして、通常時には、端子Cの入力信号をL(0v)レベルとした状態にして、N型トランジスタN18をOFFさせ、ノードW3をプリチャージ状態に保持する。この状態で、端子INの入力信号及びその反転信号により、NAND回路Nand10、Nand11を通じて1対のN型トランジスタN1、N2をON又はOFFさせて、制御回路30により一对の出力端子OUT1、OUT2の論理レベルを「H、L」又は「L、H」にする。一方、出力端子OUT1、OUT2の論理レベルを「H、H」に制御する場合には、端子Cの入力信号をH(VDD)レベルにする。これにより、N型トランジスタN17をONさせて、ノードW3をL(0v)レベルにし、このノードW3の電位低下に応じて制御回路30により一对の出力端子OUT1、OUT2の論理レベルを「H、H」に制御するようにしている。尚、図中Nand12は、ノードW1、W2、W3のプリチャージを制御するプリチャージ制御回路70を構成する。

【0107】(第8の変形例) 図27ないし図29は第

2の実施の形態の第8の変形例を示す。

【0108】これ等のレベルシフト回路は、図8に示したレベルシフト回路において一对のN型トランジスタN1、N2に出力される相補の信号の生成回路を改良したものである。即ち、図8のレベルシフト回路では、制御回路Aの遅延時間が短くて、入力信号の変化時からフリップフロップ回路FFのセット及び高電圧VDD3へのプリチャージまでの一連の変化に必要な遅延時間が、低電圧VDD側のインバータINV0の遅延時間よりも短い場合には、プリチャージすべき第1又は第2のノードW1、W2を誤ってディスチャージすることが考えられる。即ち、図31に示すように、一对のN型トランジスタN1、N2への入力信号波形が共に同時にHレベルである状態が長くて制御回路Aの遅延時間が短い場合には、第1及び第2のノードW1、W2が交互にディスチャージ及びプリチャージされて、出力端子には誤ってパルス状の出力波形が出力されることが考えられる。特に、入力信号がHレベルからLレベルに遷移する場合に、入力系が高耐圧トランジスタで構成され、出力系が低耐圧トランジスタで構成され、遅延時間が高耐圧系の方が低耐圧系よりも非常に長い場合に誤動作が生じると考えられる。本変形例はこの誤動作を防止するように、一对のN型トランジスタN1、N2への相補信号の一方がLレベルに遷移した後でなければ相補信号の他方をHレベルにしないようにして、この相補信号の一方及び他方が同時にHレベルにならないように構成したものである。

【0109】図27のレベルシフト回路では、図8のインバータINV0に代えて、インバータINV27と、2個のインバータINV28、INV29より成る遅延回路と、このインバータINV29の出力と最初段のインバータINV27の出力とを受けるNOR回路Nor27とにより、相補の入力信号を生成している。

【0110】また、図28のレベルシフト回路では、2個のインバータINV30、INV31と、フリップフロップ回路FF4とにより、相補の入力信号を生成している。

【0111】更に、図29のレベルシフト回路では、2個のシュミット回路SchA、SchBと、インバータINV32と、フリップフロップ回路FF4とにより、相補の入力信号を生成し、図30に示すように、前記一方のシュミット回路SchAのスウィッチングレベルを低く、他方のシュミット回路SchBのスウィッチングレベルを高く設定している。

【0112】尚、以上の説明では、低電圧の論理レベルを高電圧の論理レベルに変換するレベルシフト回路について説明したが、本発明はこれに限定されず、逆に高電圧の論理レベルを低電圧の論理レベルに変換するレベルシフト回路についても同様に適用できるのは勿論である。この場合には、第1の電圧源が高電圧源となり、第

2の電圧源が低電圧源となる。

【0113】

【発明の効果】以上説明したように、請求項1ないし請求項8記載の発明のレベルシフト回路によれば、入力信号のレベルが変化しない定常時には、第1又は第2のノードの両端が遮断される状態で、前記第1又は第2のノードを抵抗を介して第2の電圧源を接続してプルアップしたので、従来のようにプルアップ用の小型ラッチを配置する必要をなくして、第1及び第2のN型トランジスタの駆動容量を減少させたので、入力信号のレベル変化時での第1又は第2のノードの電位低下を促進させて、遅延時間を短縮でき、高速動作し且つレイアウト面積が小さいレベルシフト回路を提供できる。

【0114】特に、請求項5、請求項6及び請求項7記載の発明によれば、第2のノードの電位低下を促進するように構成したので、遅延時間をより一層に短縮でき、レベルシフト回路の動作の一層の高速化が可能である。

【0115】また、請求項9ないし請求項25記載の発明のレベルシフト回路によれば、第1及び第2のノードの電位低下を検出するレベル検出回路を設け、このレベル検出回路のスイッチングレベルを高く設定したので、第1及び第2のノードの電位が高電圧でフルスイングすることを待つことなく、早期にレベル変化を検出でき、低消費電力で且つ高速に動作するレベルシフト回路を提供できる。

【0116】特に、請求項12記載の発明によれば、第1及び第2のノードの電位低下を促進させたので、遅延時間を短縮して高速に動作するレベルシフト回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のレベルシフト回路の構成を示す図である。

【図2】入力信号のHレベルからLレベルへの変化時における同レベルシフト回路に流れる電流の説明図である。

【図3】入力信号のLレベルからHレベルへの変化時における同レベルシフト回路に流れる電流の説明図である。

【図4】同実施の形態のレベルシフト回路における抵抗の配置位置の変形例を示す図である。

【図5】同レベルシフト回路の他の変形例を示す図である。

【図6】同レベルシフト回路の変形例を示し、内部電源シャットダウン時の出力論理固定構成を持つレベルシフト回路を示す図である。

【図7】本発明の第2の実施の形態のレベルシフト回路の概略構成を示す図である。

【図8】同レベルシフト回路の具体的構成を示す図である。

【図9】入力信号のHレベルからLレベルへの変化時における同レベルシフト回路に流れる電流の説明図である。

【図10】本発明の第2の実施の形態の第1の変形例を示し、レベルシフト回路に備えるプリチャージ制御回路を変形した図である。

【図11】同実施の形態の第1の変形例を示し、レベルシフト回路に備えるフリップフロップ回路を変形した図である。

【図12】本発明の第2の実施の形態の第2の変形例を示し、低電圧源のシャットダウン時に論理を固定する機能を持つレベルシフト回路の構成を示す図である。

【図13】同第2の変形例のレベルシフト回路の他の構成を示す図である。

【図14】同第2の変形例のレベルシフト回路の更に他の構成を示す図である。

【図15】同第2の変形例のレベルシフト回路の別の構成を示す図である。

【図16】同第2の変形例のレベルシフト回路の更に別の構成を示す図である。

【図17】本発明の第2の実施の形態の第3の変形例を示し、低電圧源のシャットダウン時に所定論理を優先的に出力する機能を持つレベルシフト回路の構成を示す図である。

【図18】同第3の変形例のレベルシフト回路の他の構成を示す図である。

【図19】本発明の第2の実施の形態の第4の変形例のエッジトリガー形式のレベルシフト回路の構成を示す図である。

【図20】同第4の変形例のエッジトリガー形式のレベルシフト回路の他の構成を示す図である。

【図21】同第4の変形例のエッジトリガー形式のレベルシフト回路の更に他の構成を示す図である。

【図22】本発明の第2の実施の形態の第5の変形例のテストモード機能付きのエッジトリガー形式のレベルシフト回路の構成を示す図である。

【図23】同変形例のテストモード機能付きのエッジトリガー形式のレベルシフト回路の他の構成を示す図である。

【図24】本発明の第2の実施の形態の第6の変形例のリセット機能付きのエッジトリガー形式のレベルシフト回路の構成を示す図である。

【図25】同変形例のリセット機能付きのエッジトリガー形式のレベルシフト回路にセット機能を付加した構成を示す図である。

【図26】本発明の第2の実施の形態の第7の変形例のトライステートレベルシフト回路の構成を示す図である。

【図27】本発明の第2の実施の形態の第8の変形例のレベルシフト回路の構成を示す図である。

【図28】同変形例のレベルシフト回路の他の構成を示す図である。

【図29】同変形例のレベルシフト回路の更に他の構成を示す図である。

【図30】同レベルシフト回路の動作を示す図である。

【図31】本発明の第2の実施の形態のレベルシフト回路に生じ得る入力波形及び出力波形を示す図である。

【図32】従来のレベルシフト回路の構成を示す図である。

【図33】同レベルシフト回路の動作時に流れる電流を説明する図である。

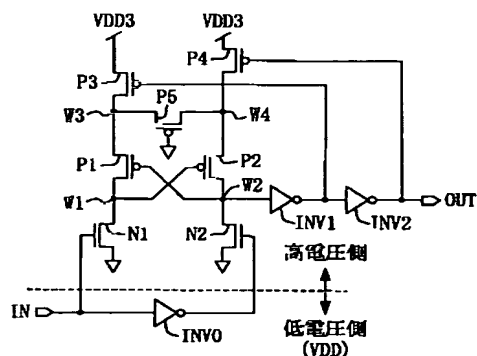
【図34】従来の他のレベルシフト回路の構成を示す図である。

【符号の説明】

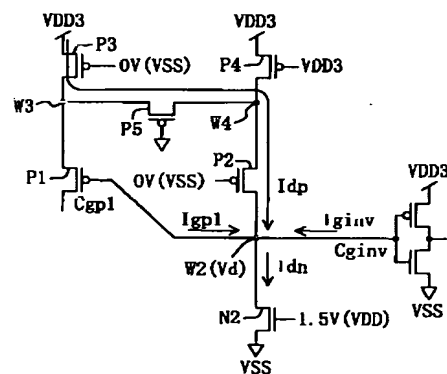
IN	入力端子
VDD	低電圧源（第1の電圧源）
VDD3	高電圧源（第2の電圧源）
N1	N型トランジスタ（第1のN型トランジスタ）
N2	N型トランジスタ（第2のN型トランジスタ）
P1	P型トランジスタ（第1のP型トランジスタ）
P2	P型トランジスタ（第2のP型トランジスタ）
P3	P型トランジスタ（第3のP型トランジスタ、電流遮断部）
P4	P型トランジスタ（第4のP型トランジスタ、電流遮断部）
P5	P型トランジスタ（抵抗）

P51	P型トランジスタ（第1の抵抗）
P52	P型トランジスタ（第2の抵抗）
INV0、INV1、INV2	インバータ
W1	第1のノード
W2	第2のノード
W3	第3のノード
W4	第4のノード
A	制御回路
B	プリチャージ回路
FF	フリップフロップ回路
（レベル検出回路）	
Nand1、Nand2	NAND回路
40	供給回路
50	断続回路
70	プリチャージ制御回路
P3	P型トランジスタ（第1のP型トランジスタ）
P4	P型トランジスタ（第2のP型トランジスタ）
N3	N型トランジスタ（第3のN型トランジスタ）
N4	N型トランジスタ（第4のN型トランジスタ）
SD	シャットダウン端子
CLK	クロック端子
NT	テストモード端子
INT	テスト端子
R	リセット端子
S	セット端子
C	制御端子
30	制御回路

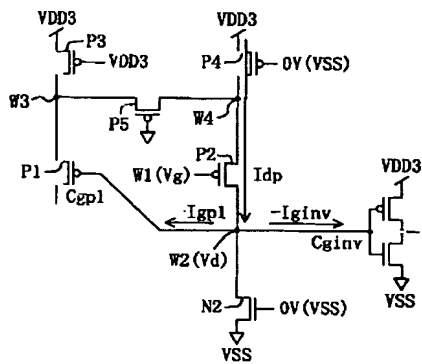
【図1】



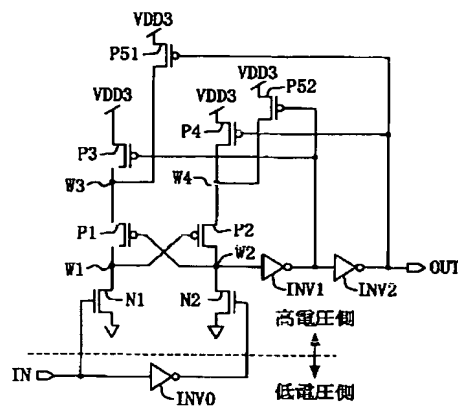
【図2】



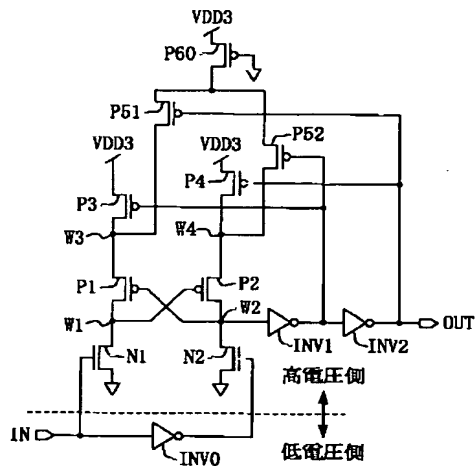
【図3】



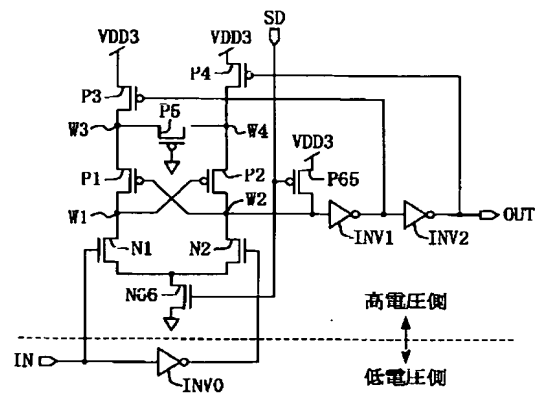
【例4】



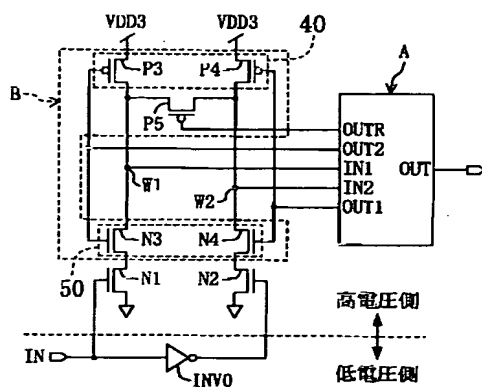
【図5】



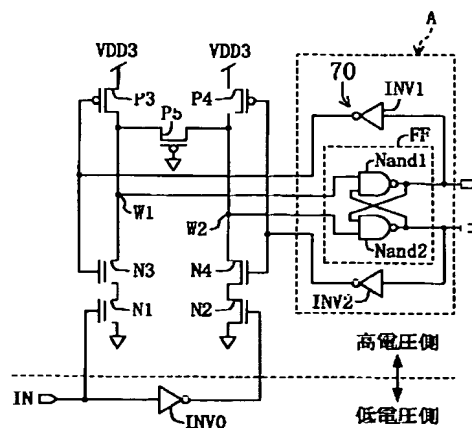
【図6】



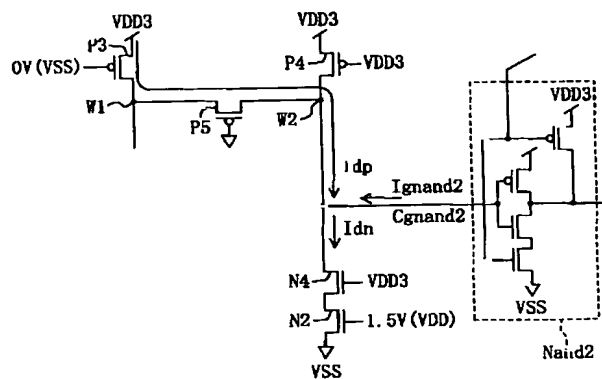
【図7】



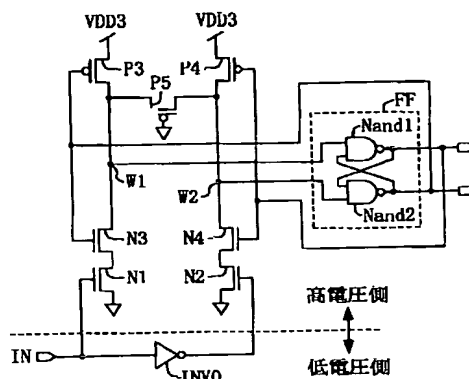
【図8】



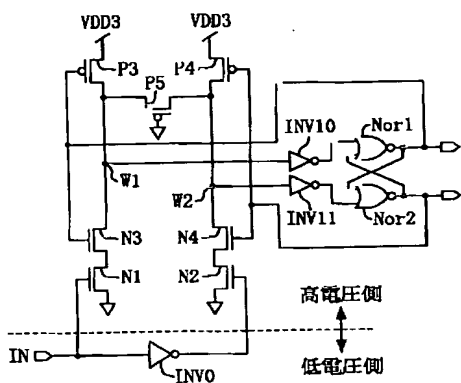
【図9】



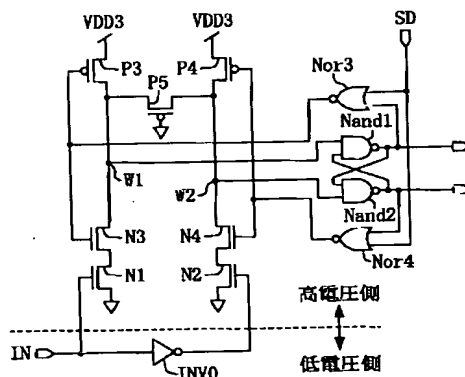
【図10】



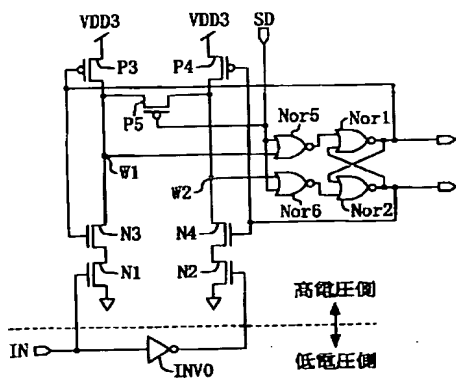
【図11】



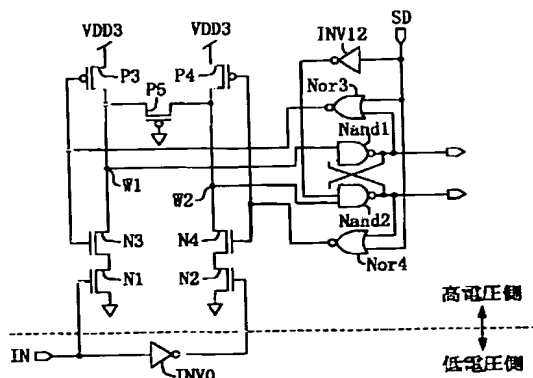
【図12】



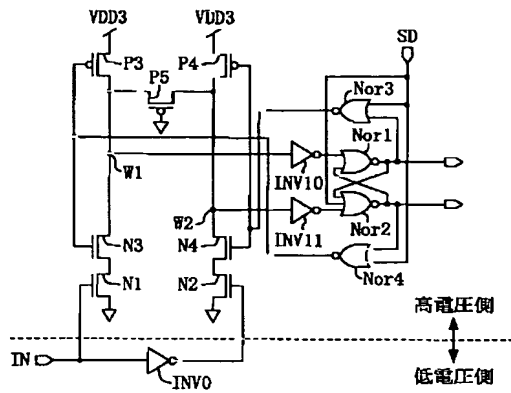
【図13】



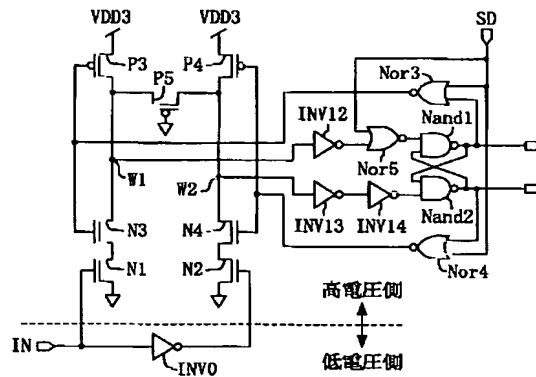
【図14】



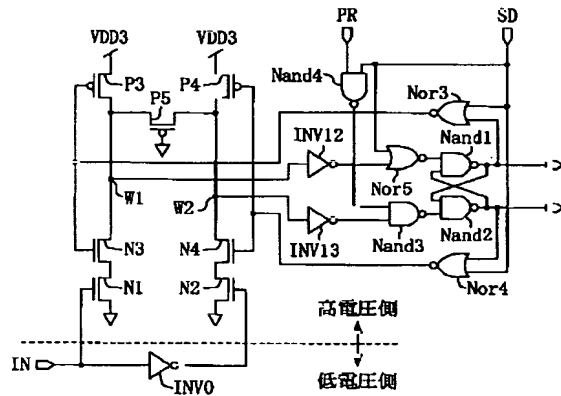
【図15】



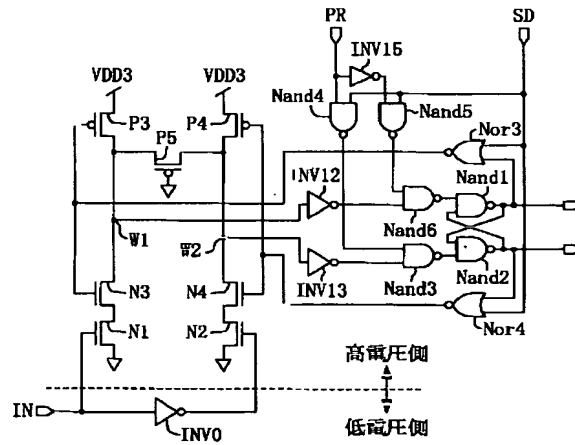
【図16】



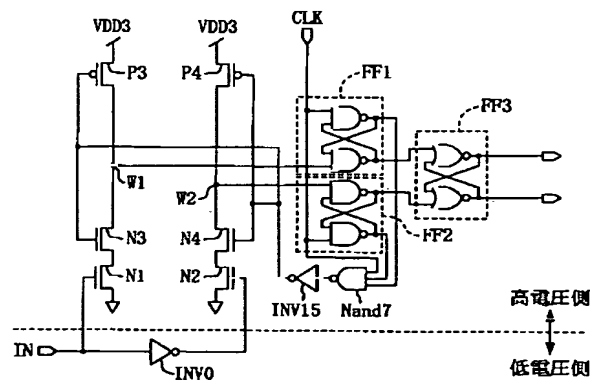
【図17】



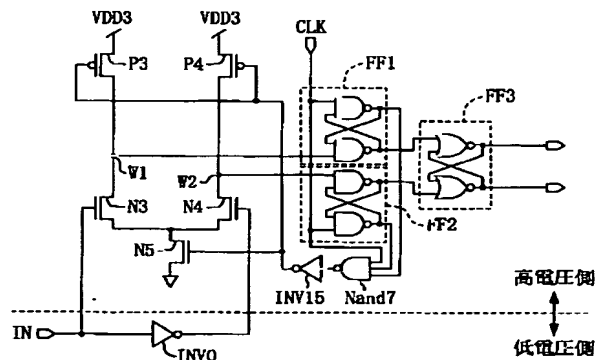
【図18】



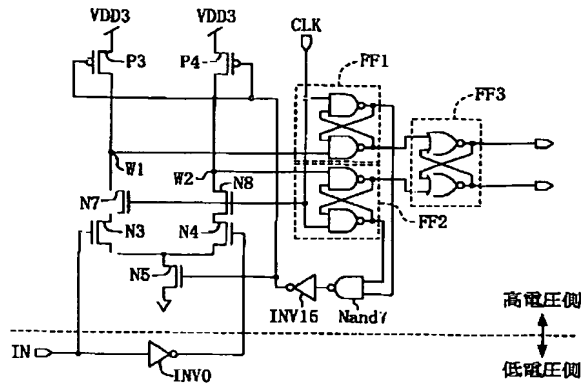
【図19】



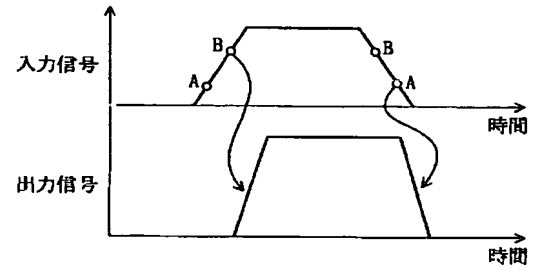
【図20】



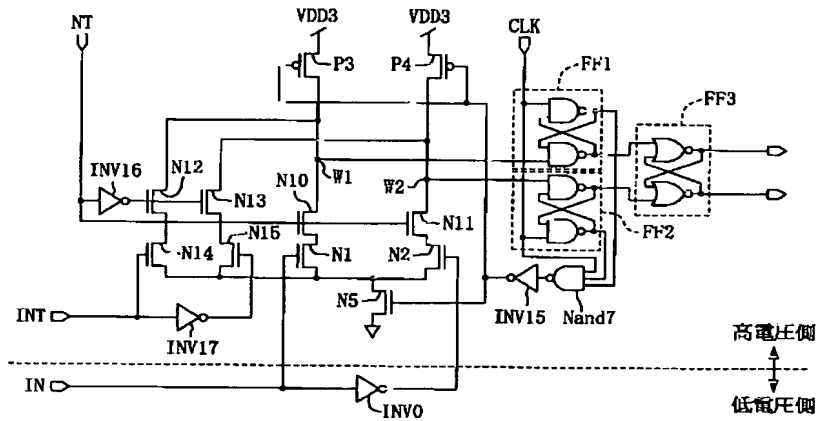
【図21】



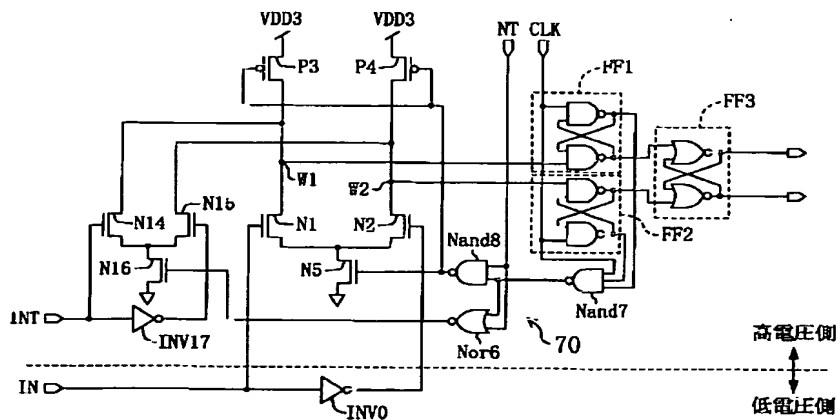
【図30】



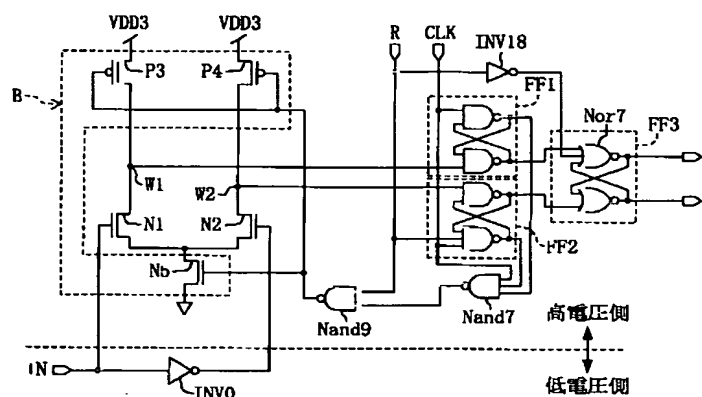
【図22】



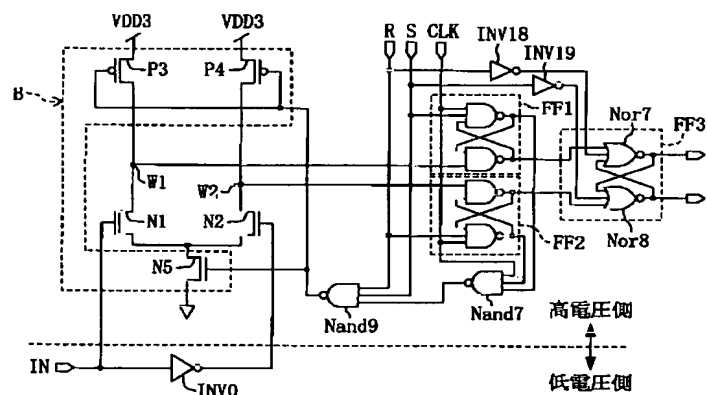
【図23】



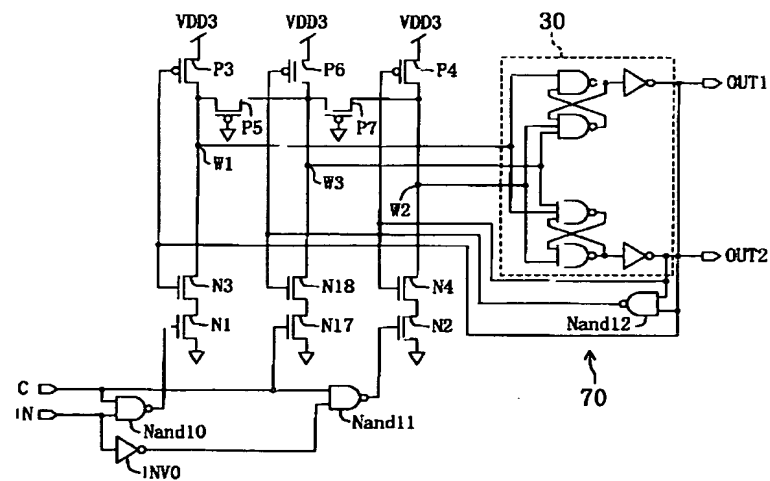
【图24】



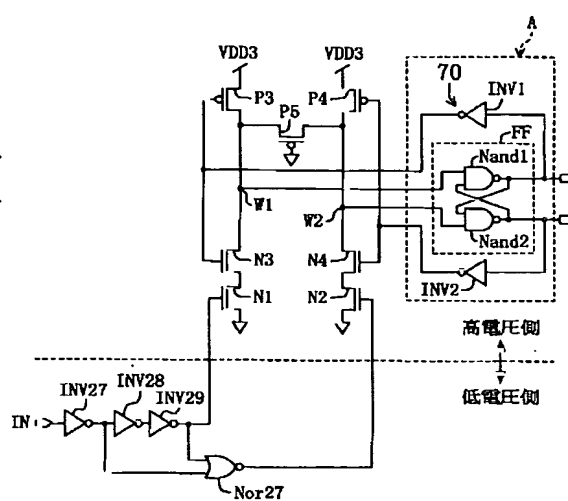
【図25】



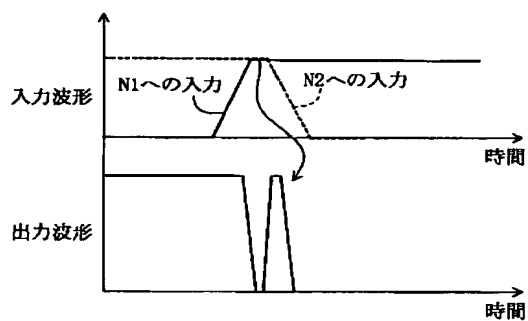
【図26】



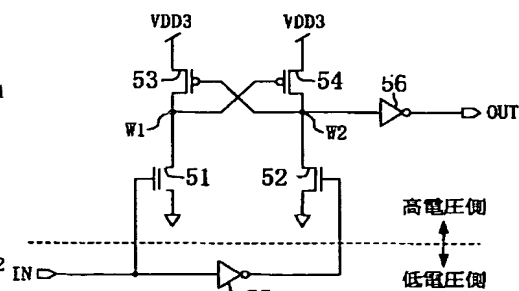
【图27】



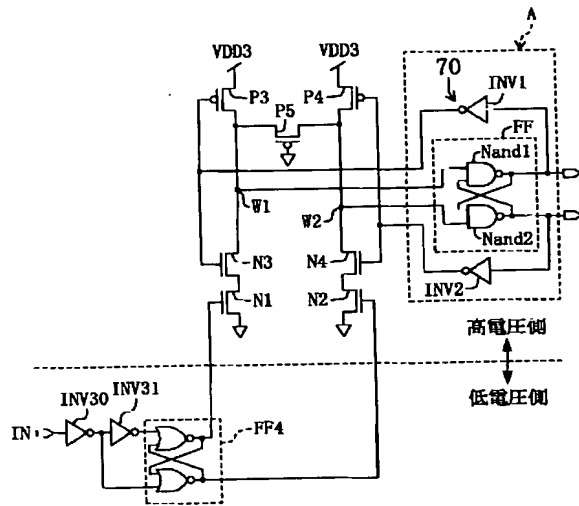
【図3 1】



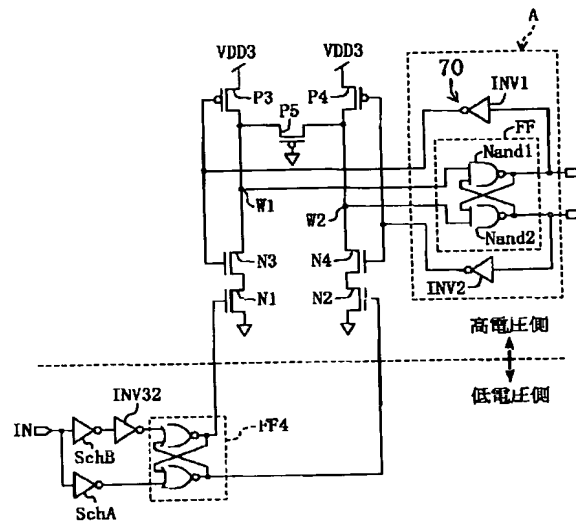
【図32】



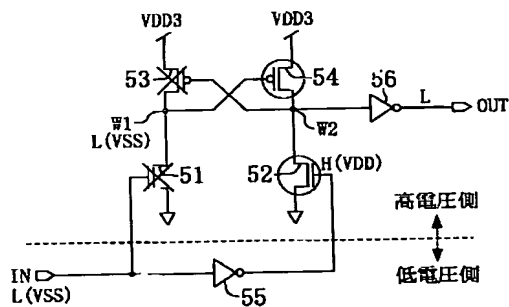
【図28】



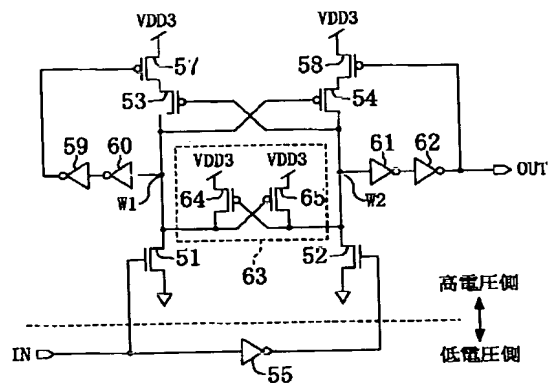
【図29】



【図33】



【図34】



フロントページの続き

Fターム(参考) 5J055 AX02 AX27 BX16 CX10 CX24
 DX12 DX72 DX83 EX07 EX19
 EX21 EY21 EZ07 EZ25 EZ31
 FX12 FX17 FX35 GX01
 5J056 AA00 AA11 BB02 BB19 CC14
 CC21 DD12 DD28 EE03 EE07
 FF08